

**'This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-089351

(43)Date of publication of application : 27.03.2002

(51)Int.CI.

F02D 45/00

G05B 15/02

(21)Application number : 2000-  
283080

(71)Applicant : MITSUBISHI ELECTRIC  
CORP

(22)Date of filing :

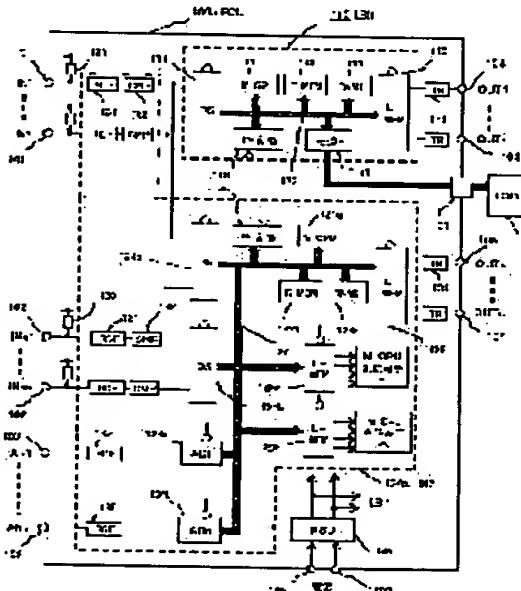
19.09.2000 (72)Inventor : NAKAMOTO KATSUYA  
KITSUTA MITSUHIRO  
HASHIMOTO KOJI  
GOKAN HIROSHI

## (54) CAR-MOUNTED ELECTRONIC CONTROL DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain miniaturization and standardization of a car-mounted electronic control device.

**SOLUTION:** A main CPU is constituted of a first non-volatile memory in which a control program and a control constant corresponding to a controlled car model to be transmitted from an outside tool are at least written and a first RAM memory for arithmetic processing, a sub CPU is constituted of a second non-volatile memory in which a program for input and output processing is written and a second RAM memory for arithmetic processing, a serial and parallel converter for serial communication transmits a plural number of input signals input to this sub CPU to the main CPU and transmits a plural number of controlling output signals computed by the main CPU to the sub CPU, a filter constant against a plural number of the input signals is stored in at least one of the first and second non-volatile memories, and it is specifically computed by a digital filter means of the sub CPU in accordance with the filter constant and is transmitted to the main CPU.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-89351

(P2002-89351A)

(43)公開日 平成14年3月27日(2002.3.27)

(51)Int.Cl.<sup>7</sup>  
F 0 2 D 45/00識別記号  
3 7 6F I  
F 0 2 D 45/00テマコード(参考)  
3 7 6 B 3 G 0 8 4  
3 7 6 A 5 H 2 1 5

3 8 0

G 0 5 B 15/02

G 0 5 B 15/02

A

審査請求 未請求 請求項の数10 O L (全 17 頁) 最終頁に続く

(21)出願番号

特願2000-283080(P2000-283080)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成12年9月19日(2000.9.19)

(72)発明者 中本 勝也

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 橘田 光弘

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外1名)

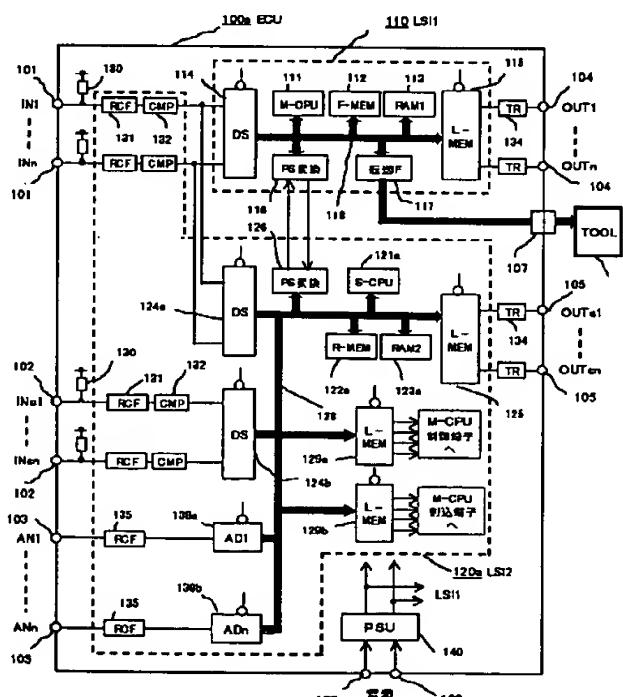
最終頁に続く

## (54)【発明の名称】車載電子制御装置

## (57)【要約】

【課題】 車載電子制御装置の小型化、標準化を達成する。

【解決手段】 外部ツールから送信される被制御車種対応の制御プログラム及び制御定数が少なくとも書込まれる第一の不揮発メモリと演算処理用の第一のRAMメモリとからなるメインCPU、入出力処理用プログラムが書込まれた第二の不揮発メモリと演算処理用の第二のRAMメモリとからなるサブCPU、このサブCPUに入力される複数の入力信号を上記メインCPUに送信すると共にメインCPUによって演算された複数の制御出力信号をサブCPUに送信するシリアル通信用直並列変換器、複数の入力信号に対するフィルタ定数は第一及び第二の不揮発メモリの少なくとも一つに格納されており、フィルタ定数に基づいてサブCPUのデジタルフィルタ手段で所定の演算をさせメインCPUに送信させる。



## 【特許請求の範囲】

【請求項1】 外部ツールから送信される被制御車種対応の制御プログラム及び制御定数が少なくとも書込まれる第一の不揮発メモリと演算処理用の第一のRAMメモリとからなるメインCPU、入出力処理用プログラムが書込まれた第二の不揮発メモリと演算処理用の第二のRAMメモリとからなるサブCPU、このサブCPUに入力される複数の入力信号を上記メインCPUに送信するシリアル通信用直並列変換器、上記複数の入力信号に対するフィルタ定数は上記第一及び第二の不揮発メモリの少なくとも一つに格納されており、上記フィルタ定数に基づいて上記サブCPUのデジタルフィルタ手段で所定の演算をさせ上記メインCPUに送信させることを特徴とする車載電子制御装置。

【請求項2】 シリアル通信用直並列変換器は、メインCPUによって演算された複数の制御出力信号をサブCPUに送信し、上記複数の制御出力信号をサブCPUのデータバスに接続された出力インタフェース回路を介して外部負荷に供給することを特徴とする請求項1記載の車載電子制御装置。

【請求項3】 サブCPUに入力される複数の入力信号は、少なくとも正負のクリップダイオードと小容量コンデンサを包含したノイズフィルタを介して入力されたアナログ信号であって、このアナログ信号は、切換スイッチによって周期的に充放電されるスイッチトキャパシタと充放電周期の設定手段を備えたデジタルフィルタ及びA/D変換器を介してデジタル変換され、デジタルフィルタ手段は、このデジタル変換値を用いて所定の演算を行いメインCPUに送信させることを特徴とする請求項1記載の車載電子制御装置。

【請求項4】 サブCPUに入力される複数の入力信号は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサによるノイズフィルタ、及びヒステリシス機能を持ったレベル判定用比較器を介して入力されたON/OFF信号であって、デジタルフィルタ手段は、上記レベル判定用比較器からの出力を、所定の周期でサンプリングし、その連続する複数のサンプリング結果のうち正が50%以上である時にON判定され、連続する複数のサンプリング結果のうち正が50%未満である時にOFF判定される入力確定手段によって構成され、上記入力確定手段の出力が上記メインCPUに送信させることを特徴とする請求項1記載の車載電子制御装置。

【請求項5】 デジタルフィルタ手段は、サンプリングの周期またはレベル判定用比較器の論理判定点数の少なくとも一方を設定する設定手段を備えたことを特徴とする請求項4記載の車載電子制御装置。

【請求項6】 入力確定手段がONを出力する判定値は、複数のレベル判定結果のうち正が占める割合が50%から100%の間で可変できることを特徴とする請求

## 項4記載の車載電子制御装置。

【請求項7】 フィルタ定数は、被制御車種対応のフィルタ定数であると共にメインCPUに対する第一の不揮発メモリに書込まれているものであって、上記フィルタ定数はシリアル通信用直並列変換器を介してサブCPUに対する第二のRAMメモリに転送され、上記サブCPUのデジタルフィルタに用いられる上記フィルタ定数を含む設定定数はサブCPUでサムチェックが行われ、チェックサムエラーが発生した時には上記フィルタ定数を再度上記メインCPUから上記サブCPUへ転送処理を行う再送判定手段を備えたことを特徴とする請求項1から6のいずれか一項に記載の車載電子制御装置。

【請求項8】 フィルタ定数は、被制御車種対応のフィルタ定数であると共にメインCPUに対する第一の不揮発メモリに書込まれているものであって、上記フィルタ定数を第一のRAMメモリに転送する転送手段と、上記第一のRAMメモリに格納されたフィルタ定数を含む制御定数を補正する制御定数補正手段と、補正された制御定数をシリアル通信用直並列変換器を介してサブCPUに対する第二のRAMメモリに転送する制御定数転送手段とを備え、上記制御定数が、サブCPUによるデジタルフィルタ手段の設定定数として用いられることを特徴とする請求項1から7のいずれか一項に記載の車載電子制御装置。

【請求項9】 メインCPUのデータバスには、サブCPUを介さず直接メインCPUに入出力される高速処理用の入出力インタフェース回路が接続され、上記入出力インタフェース回路を介してサブCPUに入力された信号はサブCPUによって監視され、監視結果をメインCPUに送信することを特徴とする請求項1から8のいずれか一項に記載の車載電子制御装置。

【請求項10】 外部ツールを接続する脱着式コネクタ、外部ツールとメインCPU間を接続するシリアルコミュニケーションインターフェース、サブCPUに供給された複数の入力信号の一部の動作に応動し、第二の不揮発メモリに格納されたプログラムに基づいてサブCPUから書き込み制御出力を発生する書き込みモード判定手段を備え、上記書き込み制御信号が上記メインCPUの書き込み制御端子に供給されることにより外部ツールから第一の不揮発メモリに対して制御プログラム及び制御定数を転送書きみすることを特徴とする請求項1から9のいずれか一項に記載の車載電子制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、例えば自動車用エンジンの燃料供給制御等に用いられるマイクロプロセッサを内蔵した電子制御装置、特に多数の入出力信号の扱い方を改善して装置の小型化を図ると共に、各種車両の制御に対して装置の標準化を図るように改良された車載電子制御装置に関するものである。

## 【0002】

【従来の技術】図7は従来のこの種電子制御装置における典型的なブロック回路図を示したものであり、1枚のプリント基板で構成されたECU（エンジンコントローラユニット）1は大型のLSI（集積回路部品）2を主体とし、該LSI2はCPU（マイクロプロセッサ）3、不揮発フラッシュメモリ4、RAMメモリ5、入力用データセレクタ6、A/D変換器7、出力ラッチメモリ8等をデータバス30で結合したものとなっている。上記ECU1は車載バッテリ10から電源線11及び電源スイッチ12を介して給電される電源ユニット9から制御電源の供給を受けて動作するものであるが、その実行プログラムやエンジン制御用制御定数等は予め不揮発フラッシュメモリ4に格納されている。

【0003】一方、各種センサスイッチ13からの多数のON/OFF入力信号はプルアップまたはプルダウン抵抗としてのブリーダ抵抗14からノイズフィルタを構成する直列抵抗15と並列コンデンサ16を経て比較器19に供給されるが、該比較器には入力抵抗17と正帰還抵抗18が接続されていて、並列コンデンサ16の両端電圧が比較器19の負側端子に印加されている基準電圧を超えるとデータセレクタ6に論理「H」の信号を供給する。しかし、並列コンデンサ16の両端電圧が低下する時には、正帰還抵抗18による入力が加算されるので上記基準電圧よりも更に低い電圧まで低下したことにより比較器19の出力は論理「L」に復帰する。このようにして比較器19はヒステリシス機能を包含したレベル判定用比較器としての機能を持っており、多数の比較器19の出力はデータセレクタ6・データバス30を介してRAMメモリ5に格納されるようになっている。なお、上記データセレクタ6は、例えば16ビットの入力を扱い、CPU3からチップセレクト信号を受けた時にデータバス30に出力するものであるが、入力点数は数十点に及ぶものであって、複数のデータセレクタが用いられている。

【0004】また、各種アナログセンサ20からの多数のアナログ信号はノイズフィルタを構成する直列抵抗21と並列コンデンサ22を介してA/D変換器7に供給され、CPU3からチップセレクト信号を受取ったA/D変換器のデジタル出力がデータバス30を介してRAMメモリ5に格納される。CPU3の制御出力はデータバス30を介してラッチメモリ8に格納され、出力トランジスタ23を介して外部負荷26を駆動するものであるが、多くの制御出力点数に対応するためには複数のラッチメモリが使用され、CPU3によってチップセレクトされたラッチメモリに対して制御出力が格納されるようになっている。なお、24はトランジスタ23の駆動用ベース抵抗、25はトランジスタ23のベース/エミッタ端子間に接続された安定抵抗、27は外部負荷26に対する給電用電源リレーである。

【0005】このように構成された従来装置では、CP

50 U3が極めて多くの入出力を取扱うためにLSI2の規模が大きくなることや、ノイズフィルタとしての並列コンデンサ16や22は目的とするフィルタ定数を確保するために様々な容量のコンデンサを使用する必要があって標準化が困難であると共に、大きなフィルタ定数を確保するためには大型コンデンサを用いる必要があってECU1が大型化する等の問題点があった。

【0006】LSI2の入出力端子を削減してその小型化を図る手段としては、特開平7-13912号公報

10 「入出力処理IC」で示されるようにシリアル通信プロックを用いて多数の入出力信号を時分割して授受する方法が提示されている。しかし、この方式では様々な容量のノイズフィルタが必要あって、装置の標準化に適しないばかりか、充分なフィルタ定数を確保するためにコンデンサの容量も大きなものが必要となって装置の小型化にも適さない問題がある。

【0007】一方、ON/OFF入力信号に対するノイズフィルタとしてデジタルフィルタを用い、そのフィルタ定数をマイクロプロセッサによって制御する概念は公

20 知である。例えば、特開平5-119811号公報「プログラマブルコントローラ」では、サンプリングされた外部入力信号の入力論理値が複数回連続して同じ値であればこれを採用して入力イメージメモリに格納すると共に、サンプリング周期を変更することができるフィルタ定数変更命令を備えている。この方式ではフィルタ定数が自由に変更できる特徴があるが、多数の入力信号を扱う場合にはマイクロプロセッサの負担が大きくなり、マイクロプロセッサの本来の目的である制御の応答性が低下する問題がある。その他、ON/OFF信号に対するデジタルフィルタとしては特開2000-89974号公報「データ格納制御装置」で見られるように、ハードウェアとしてのシフトレジスタを設けて上記と同様の概念でサンプリング処理するようにしたものもある。

【0008】また、特開平9-83301号公報「スイッチドキャパシタフィルタ」では、多チャンネルのアナログ入力信号に対するノイズフィルタとして、スイッチドキャパシタを用いたデジタルフィルタが示されている。この場合でも、多数のアナログ入力信号を扱う場合にはマイクロプロセッサの負担が大きくなり、マイクロプロセッサの本来の目的である制御の応答性が益々低下する問題がある。その他、特開平8-305681号公報「マイクロコンピュータ」では抵抗/コンデンサによるアナログフィルタの抵抗を多段階切換してフィルタ定数を変更するようにしたものや、特開平2000-68833号公報「ディジタルフィルタ方式」ではアナログ値をデジタル変換した後に複数の時系列サンプリングデータの相加平均値を現在時刻のデータとして扱う移動平均方式のディジタルフィルタが示されている。

【0009】その他、この発明に関連するプログラムの書き込みや転送処理等については次のような公知例があ

る。特開平7-334476号公報「プログラム転送装置」ではメインCPUとサブCPUを備え、メインCPUのROMメモリからサブCPUのRAMメモリに対してサブCPUのプログラムデータを転送し、サブCPUのROMメモリを無くすることが提示されている。また、特開昭63-223901号公報「車載制御装置」では、外部よりの交換すべきプログラムデータの転送によってプログラムデータの書き込みと消去が可能なROMを備えた車載制御装置用マイクロプロセッサの転送書き込み制御方法が提示されている。

#### 【0010】

【発明が解決しようとする課題】上記のような従来技術では、部分的な小型化・標準化技術であって、これを統合した本格的な小型化・標準化が行われていないことは既に説明したとおりである。特に、マイクロプロセッサの入出力回路部分の小型化・標準化を達成する上で、マイクロプロセッサの本来の制御能力・応答性の低下が避けられない問題があった。

【0011】この発明の第一の目的は、上記のような問題を改善して、入出力処理に関するマイクロプロセッサの負担を軽減して本来の制御能力・応答性の向上を図ること共に、入力フィルタ部分を小型化することによって、制御装置全体の小型化と標準化を達成することである。この発明の第二の目的は、制御仕様の異なる各種車両に対応して、制御プログラムや制御定数を変更することによって対処することによりハードウェアの標準化を一層効果的にしかも容易に行えるようにすることである。

#### 【0012】

【課題を解決するための手段】この発明に係る車載電子制御装置は、外部ツールから送信される被制御車種対応の制御プログラム及び制御定数が少なくとも書込まれる第一の不揮発メモリと演算処理用の第一のRAMメモリとからなるメインCPU、入出力処理用プログラムが書込まれた第二の不揮発メモリと演算処理用の第二のRAMメモリとからなるサブCPU、このサブCPUに入力される複数の入力信号をメインCPUに送信するシリアル通信用直並列変換器、複数の入力信号に対するフィルタ定数は第一及び第二の不揮発メモリの少なくとも一つに格納されており、フィルタ定数に基づいてサブCPUのデジタルフィルタ手段で所定の演算をさせメインCPUに送信させるものである。

【0013】また、シリアル通信用直並列変換器は、メインCPUによって演算された複数の制御出力信号をサブCPUに送信し、複数の制御出力信号をサブCPUのデータバスに接続された出力インターフェース回路を介して外部負荷に供給するものである。

【0014】また、サブCPUに入力される複数の入力信号は、少なくとも正負のクリップダイオードと小容量コンデンサを包含したノイズフィルタを介して入力されたアナログ信号であって、このアナログ信号は、切換ス

イッチによって周期的に充放電されるスイッチトキャパシタと充放電周期の設定手段を備えたデジタルフィルタ及びA/D変換器を介してデジタル変換され、デジタルフィルタ手段は、このデジタル変換値を用いて所定の演算を行いメインCPUに送信させるものである。

【0015】また、サブCPUに入力される複数の入力信号は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサによるノイズフィルタ、及びヒステリシス機能を持ったレベル

10 判定用比較器を介して入力されたON/OFF信号であって、デジタルフィルタ手段は、レベル判定用比較器からの出力を、所定の周期でサンプリングし、その連続する複数のサンプリング結果のうち正が50%以上である時にON判定され、連続する複数のサンプリング結果のうち正が50%未満である時にOFF判定される入力確定手段によって構成され、入力確定手段の出力がメインCPUに送信されるものである。

【0016】また、デジタルフィルタ手段は、サンプリングの周期またはレベル判定用比較器の論理判定点数の少なくとも一方を設定する設定手段を備えたものである。

【0017】また、入力確定手段がONを出力する判定値は、複数のレベル判定結果のうち正が占める割合が50%から100%の間で可変できるものである。

【0018】また、フィルタ定数は、被制御車種対応のフィルタ定数であると共にメインCPUに対する第一の不揮発メモリに書かれているものであって、フィルタ定数はシリアル通信用直並列変換器を介してサブCPUに対する第二のRAMメモリに転送され、サブCPUの30 デジタルフィルタに用いられるフィルタ定数を含む設定定数はサブCPUでサムチェックが行われ、チェックサムエラーが発生した時にはフィルタ定数を再度上記メインCPUからサブCPUへ転送処理を行う再送判定手段を備えたものである。

【0019】また、フィルタ定数は、被制御車種対応のフィルタ定数であると共にメインCPUに対する第一の不揮発メモリに書かれているものであって、フィルタ定数を第一のRAMメモリに転送する転送手段と、第一のRAMメモリに格納されたフィルタ定数を含む制御定数を補正する制御定数補正手段と、補正された制御定数をシリアル通信用直並列変換器を介してサブCPUに対する第二のRAMメモリに転送する制御定数転送手段とを備え、制御定数が、サブCPUによるデジタルフィルタ手段の設定定数として用いられるものである。

【0020】また、メインCPUのデータバスには、サブCPUを介さず直接メインCPUに入出力される高速処理用の入出力インターフェース回路が接続され、入出力インターフェース回路を介してサブCPUに入力された信号はサブCPUによって監視され、監視結果をメインCPUに送信するものである。

【0021】また、外部ツールを接続する脱着式コネクタ、外部ツールとメインCPU間を接続するシリアルコミュニケーションインターフェース、サブCPUに供給された複数の入力信号の一部の動作に応動し、第二の不揮発メモリに格納されたプログラムに基づいてサブCPUから書込み制御出力を発生する書き込みモード判定手段を備え、書き込み制御信号がメインCPUの書き込み制御端子に供給されることにより外部ツールから第一の不揮発メモリに対して制御プログラム及び制御定数を転送書き込みするものである。

## 【0022】

【発明の実施の形態】実施の形態1. 以下、この発明の実施の形態1による車載電子制御装置のブロック回路図を示す図1について説明する。図1において、100aはECU(車載電子制御装置)であり第一LSI(第一の集積回路)110と第二LSI(第二の集積回路)120aを主要部品とする一枚の電子基板で構成されている。101は例えばエンジンの点火時期や燃料噴射時期を制御するためのクランク角センサやオートクルーズ制御用の車速センサ等比較的高頻度の動作を行い、速やかに信号取込みを行う必要のあるON/OFF動作の高速入力信号IN1～INnが入力されるコネクタ端子である。102は例えば変速レバーポジションを検出するセレクタスイッチやエアコンスイッチなど比較的低頻度の動作を行い、信号取込みの遅れがあり問題とならないようなON/OFF動作の低速入力信号INs1～INsnが入力されるコネクタ端子である。103は例えばアクセルポジショナや水温センサ、排気ガスの酸素濃度センサなど比較的緩慢な動作を行い、信号取込みの遅れがあり問題とならないようなアナログ入力信号AN1～ANnが入力されるコネクタ端子である。

【0023】104は例えばエンジンの点火コイル駆動出力や燃料噴射制御用電磁弁駆動用出力など比較的高頻度の動作を行い、遅滞なく駆動出力を発生する必要のあるON/OFF動作の高速出力OUT1～OUTnが出力されるコネクタ端子である。105は例えば変速機用電磁弁駆動出力やエアコン用電磁クラッチ駆動出力など比較的低頻度の動作を行い、駆動出力の応答遅れがあり問題とならないON/OFF動作の低速出力OUTs1～OUTsnが出力されるコネクタ端子である。

【0024】106は上記ECU100aに対して予め制御プログラムや制御定数等を転送書き込みするための外部ツールであり、該外部ツールは製品出荷時や保守作業時に使用され、脱着コネクタ107を介してECU100aに接続されるものである。108は車載バッテリに接続された電源端子であり、電源スイッチを介して給電される端子と後述のメモリの動作保持のために直接車載バッテリから給電されるスリーブ用端子によって構成されている。

【0025】上記第一LSI110はメインCPU(マイクロプロセッサ)111、第一の不揮発メモリ112、第一のRAMメモリ113、入力用データセレクタ114、出力用ラ

10

ッチメモリ115、後述のサブCPU121aとの間でシリアル信号の交信を行う直並列変換器116、上記外部ツール106とシリアル信号の交信を行うSCI(シリアル・コミュニケーション・インターフェース)117等によって構成されており、これらの構成部品は8～32ビットのデータバス118によってメインCPU111に接続されている。なお、上記メインCPU111には図示しないプログラムローダ(PLL)や該PLL起動用のブートプログラムが格納されたマスクROMが内蔵されている。また、上記

第一の不揮発メモリ112は例えば一括書き込みの行えるフラッシュメモリであって、外部ツール106から転送制御プログラムや車両制御用プログラム、車両制御用定数などが第一のRAMメモリ113を経由して転送書き込みされるようになっている。

【0026】上記第二LSI120aはサブCPU(マイクロプロセッサ)121a、第二の不揮発メモリ122a、第二のRAMメモリ123a、入力用データセレクタ124aや124b、出力用ラッチメモリ125、129a、129b、上記メインCPU111との間でシリアル信号の交信を行う直並列変換器1

20 26、アナログ→デジタル変換を行うA/D変換器138a、138b等によって構成されており、これらの構成部品は8ビットのデータバス128によってサブCPU121aに接続されている。なお、上記第二の不揮発メモリ122aは例えばマスクROM(読み専用メモリ)であって、サブCPU121aが取扱う入出力制御のプログラムやメインCPU111との交信用プログラム等が格納されている。ただし、後述のデジタルフィルタ定数は例えば上記第一の不揮発メモリ112から第一のRAMメモリ113、直並列変換器116、126を経由して第二のRAMメモリ123aに格納されるようになっている。

【0027】130は数KΩの低抵抗のブリーダ抵抗であり、該ブリーダ抵抗は入力信号スイッチに対する負荷となるように各ON/OFF入力端子IN1～INn、INs1～INsnと電源の正側(ブルアップ)または負側(ブルダウン)に接続されていて、入力スイッチがOFFしている時に入力端子が開放状態となってノイズが重複するのを避けたり、入力スイッチが接点である場合にはその接触信頼性を向上する役割を持っている。131は図4で後述するノイズフィルタ、132は図4で後述するレベル判定

40 用比較器であり、各ON/OFF入力信号は上記ノイズフィルタ131からレベル判定用比較器132を経由して上記入力用データセレクタ114、124a、124bに接続されている。なお、高速入力IN1～INnに関しては、メインCPU111側のデータセレクタ114とサブCPU121a側のデータセレクタ124aの両方に接続されている。

【0028】134は負荷駆動用トランジスタであり、上記ラッチメモリ115と高速出力端子104やラッチメモリ125と低速出力端子105との間に接続され、ラッチメモリ115や125の出力信号によって外部負荷OUT1～OUTnやOUTs1～OUTsnを駆動するようになっている。135は図5で後述

50

するノイズフィルタ、138a、138bはノイズフィルタ135を介してアナログ信号AN1～ANnに接続されたA/D変換器である。なお、ラッチメモリ129aの出力は実施の形態4で後述する書き込み制御出力として上記メインCPUのモード制御端子に直接接続され、ラッチメモリ129bの出力は実施の形態3で後述する入力監視制御出力として上記メインCPUの割込み制御端子に直接接続されている。また、140は上記電源端子108から給電されて上記第一LSI110や第二LSI120aに給電する電源ユニットであり、該電源ユニットや上記ブリーダ抵抗130、出力トランジスタ134などは第二LSI120aの外部に設けられている。

【0029】なお、図示しない高速アナログ入力信号として、エンジンのノッキングを検出する圧電センサがメインCPU111に直接接続されていたり、出力トランジスタ134の動作確認信号や負荷電流検出信号なども、ECU100a内部で発生する信号としてデータセレクタ114や124a、124bの入力信号として取込まれたり、図示しないA/D変換器を介してデータバス118や128に接続されている。また、必要に応じてメータ表示用のD/A変換器を搭載することもできるが、ON/OFF動作の低速出力点数はあまり多くはないことから、出力に関しては全てメインCPU111側のラッチメモリ115から出力するようにしても良い。△更に、メインCPU111はサブCPU121aの暴走監視制御を行ったり、第二LSI120a内にはメインCPU111のウォッチドッグ信号に応動するウォッチドッグタイマ回路やメインCPU111のリセット制御回路などが追加されている。

【0030】図1のとおり構成されたこの発明の実施の形態1による車載電子制御装置において、その作用・動作を示す図2a～図2cのフローチャートについて説明する。図2aはメインCPU111からサブサブCPU121a間でフィルタ定数を転送設定するためのサブCPU121a側の動作フローを中心としたものであり、200は動作開始工程、201はサブCPU121aがメインCPU111からの送信要求を受信したかどうかを判定する工程、202は該送信要求の受信時にサブCPU121aがメインCPU111に対して送信許可信号を送信する工程、203、204、205はメインCPU111から送信された入力番号INnに対応したシフト周期Tや判定点数Nを受信し第二のRAMメモリ123aに格納する工程であり、該シフト周期や判定点数等はデジタルフィルタのフィルタ定数を決定するものとして関係する全ての入力番号に関する定数が繰返し送信されてくるようになっている。ただし、既に全ての定数が送信された後では、一部の変更したい定数のみがあるいは一括変更のための倍率情報のみが送信されてくることもある。

【0031】206は一連の定数の送信が終わったことをサブCPU121aが受信すると次工程207に移行する判定工程、207は全ての受信定数のサムチェックを行う工

程、208はサムチェックエラーの有無を判定する工程、209はエラーが無かった時にサブCPU121aが正常信号を送信する工程、211は工程208でエラーがあった時にサブCPU121aが異常信号を送信する工程、210は終了工程であり、一連の工程動作が終了すると再び開始工程200へ移行するようになっている。メインCPU111からの定数送信要求がない時は、工程212でON/OFF入力信号INs1～INsnやアナログ信号AN1～ANnのデジタル値などがメインCPU111へ送信されたり、工程213では制御出力OUTs1～OUTsnに対応した出力信号がメインCPU111からサブCPU121aへ送信されるようになっており、一連の送受信が完了すると工程207によって再びシフト周期Tや判定点数N等の設定データのサムチェックが行われている。

【0032】図2bはサブCPU121aで実行されるON/OFF入力信号に対するデジタルフィルタ制御の動作フローを示したものであり、220は動作開始工程、221は対象となる入力番号INnを設定する工程、222は既に設定されたシフト周期Tで順次サンプリングされた入力番号INnのON/OFF状態（論理「1」または「0」）について、最新状態を含むN点のサンプリング値の論理「1」の数を算出する工程、223は工程222で算出された論理「1」の数が多い時（N点すべてが論理「1」または例えば90%以上の点数のものが論理「1」）である時に次工程224へ移行する判定工程、224は第二のRAMメモリ123a内にある入力イメージメモリ番号InをONに設定する工程であり入力イメージメモリInの内容が現時点での確定されたON/OFF状態を表すものとなっている。

【0033】225は上記判定工程223が否（論理「1」が多くない）の時に作用し、入力番号INnのON/OFF状態（論理「1」または「0」）について、最新状態を含むN点のサンプリング値の論理「0」の数を算出する工程、226は工程225で算出された論理「0」の数が多い時（N点すべてが論理「0」または例えば90%以上の点数のものが論理「0」）である時に次工程227へ移行する判定工程、227は第二のRAMメモリ123a内にある入力イメージメモリ番号InをOFFにリセットする工程であり入力イメージメモリInの内容が現時点での確定されたON/OFF状態を表すものとなっている。228は工程224または工程227によって入力イメージメモリInの内容が更新されるか、または工程223と工程226が共に否（論理「1」が多くなく、論理「0」も多くない中途半端な状態であって、入力イメージメモリInの内容は変化しない）である時に対象となる入力番号INnを次の番号に更新する工程、229は全ての入力番号の処理が終わるまでは工程221へ復帰し、全ての入力番号の処理が完了すると終了工程230へ移行する完了判定工程であり、終了工程230に移行した後は再び開始工程220へ移行する。なお、工程222から工程227に至る一連の工程によ

ってデジタルフィルタ手段231が構成されている。

【0034】入力信号の正常なON/OFFを確実に検出するためには上記サンプリング時間に相当するシフト周期Tは入力信号の正常なON時間またはOFF時間の内、短い方の時間の数分の1~十数分の1程度の速い時間とされ、シフト周期Tと判定点数Nの積は入力信号の正常なON時間またはOFF時間の内、短い方の時間より短い時間とする必要があるが、各入力に対して設定されるシフト周期Tは適宜グループ別けされた複数種類のものとし、各入力個別に判定点数Nを設定するのが現実的である。また、入力の確定工程である工程223や226は、通常は全ての論理が「1」であるか「0」であるかによって判定すれば良く、この場合には工程223はN点の論理積、工程226はN点の論理和によって簡単に判定が行えるものである。

【0035】以上のようなデジタルフィルタ手段231によれば、例えば入力接点がチャッタリングしてON/OFFを小刻みに繰返しながらONに収斂するような場合、小刻みなON/OFFをサンプリングすることが少なく、仮にサンプリングしたとしても多数のサンプリング値が継続的にONでなければ入力ONとは確定しないことになる。また、例えばエアコンスイッチのような手動操作スイッチでは、一瞬だけスイッチがONしてもこれは無視されることになるが、その結果としてノイズによる誤動作も防止されることになるものである。更に、高周波ノイズの重畠により偶然にもサンプリングする都度に虚偽の入力信号（例えば本来ONであるべきものがノイズによってOFFと誤認された入力信号）が継続することを避けるためには、入力インターフェース回路としてノイズフィルタ131やレベル判定用比較器132が設けられており、その作用については図4により後述する。

【0036】図2cはサブCPU121aで実行されるアナログ入力信号に対するデジタルフィルタ制御の動作フローを示したものであり、240は動作開始工程、241は対象となる入力番号Anを設定する工程、242は既に設定されたシフト周期Tによって順次サンプリングされた最新のN点のデジタル値の相加平均を算出する工程、243は該工程242で算出された相加平均値を現時点のデジタル値として確定し、第二のRAMメモリ123a内の入力データメモリ1Anに格納する工程、244は次の入力番号を決定する工程、245は全ての入力に対する処理が完了したかどうかを判定する工程であり、処理未完了の時は工程241へ復帰し、処理完了の時は終了工程246へ移行し、ここから再び開始240へ移行する。

△デジタルフィルタ247は上記工程242、243によって構成されており、入力データメモリ1Anの内容はサンプリング毎に更新される移動平均値となっている。なお、各サンプリング値がノイズによる異常値を含まないようにするために、入力インターフェース回路としてノイズフィルタ135が接続されており、その作用については図5

において後述する。

【0037】以上のようなデジタルフィルタ手段231や247によれば、あたかも抵抗/コンデンサによるノイズフィルタでコンデンサの容量を大きくしたものと等価な作用となるが、コンデンサの容量を大きくすることは集積回路化に向きでなく、被制御車種対応でコンデンサの容量を変更することも困難となるので、この実施の形態によればサブCPUのソフトウェアによってデジタルフィルタを構成しているものである。なお、上記実施の形態1では、サブCPU側出力（コネクタ端子105、ラッチメモリ125、負荷駆動用トランジスタ134）を備えている構成で説明したが、これらの構成は必ずしも備えている必要はない。但し、これらサブCPU側出力を備えていれば、メインCPUを監視、判定して暴走を検出した場合、サブCPU側出力に対して、安全方向（例えば、モータ電源の遮断）になるよう処置を施すことができる。

【0038】実施の形態2. 以下、この発明の実施の形態2による車載電子制御装置のブロック回路図を示す図3に関し、図1との相違点を中心に説明する。図3において、100bはECU（車載電子制御装置）であり第一LSI（第一の集積回路）110と第二LSI（第二の集積回路）120bを主要部品とする一枚の電子基板で構成されている。上記第二LSI 120bはサブCPU（マイクロプロセッサ）121b、第二の不揮発メモリ122b、第二のRAMメモリ123b、入力用データセレクタ124aや124b、出力用ラッチメモリ125、129a、129b、上記メインCPU111との間でシリアル信号の交信を行う直並列変換器126、アナログ→デジタル変換を行うA/D変換器138等によって構成されており、これらの構成部品は8ビットのデータバス128によってサブCPU121bに接続されている。

【0039】133はレベル判定用比較器132とデータセレクタ124bの間に接続されたON/OFF入力信号用デジタルフィルタとしてのカウンタであり、その構成・作用については図4により詳細に説明する。136はノイズフィルタ135とマルチプレクサ139との間に接続されたアナログ入力用デジタルフィルタ手段としてのスイッチトキャバシタ、137は該スイッチトキャバシタ用の切換スイッチ、138は上記マルチプレクサ139によって順次切換接続されたアナログ信号をデジタル値に変換するA/D変換器であり、スイッチトキャバシタ136の構成・作用については図5により詳細に説明する。

【0040】図4は上記カウンタ133とその周辺回路を示したものであり、前述の低抵抗のブリーダ抵抗130を備えた入力信号INsは、実用可能な上限値である数百Kオームの高抵抗の直列抵抗15aを介して十数pFの小容量の並列コンデンサ16aに接続されている。131は上記直列抵抗15aと並列コンデンサ16bによって構成されたノイズフィルタであって高周波ノイズを吸収平滑化するためのものとなっている。132は入力抵抗17、正帰還抵抗1

8. 比較器19によって構成されたレベル判定用比較器であり、上記比較器19の負側入力には所定の基準電圧Vonが印加されている。従って、コンデンサ16aの充電電圧が基準電圧Von以上になると比較器19の出力は「H」(論理「1」)となるが、一旦比較器19の出力が「H」になると、正帰還抵抗18による入力加算が生じるために、コンデンサ16aの充電電圧がVoff (< Von)まで低下しなければ比較器19の出力は「L」(論理「0」)にはならないようにヒステリシス機能を持っている。これはコンデンサ16aに重畠されたノイズリップルによって、高頻度に比較器19の出力が反転変化することを防止するためのものとなっている。

【0041】50aは上記比較器19の出力と可逆カウンタ52のカウントアップモード入力UP間に接続されたゲート素子、51は上記比較器19の出力からゲート素子50bを介して上記可逆カウンタ52のカウントダウンモード入力DNに接続された論理反転素子であり、上記可逆カウンタ52は所定のサンプリング周期(図2aのシフト周期Tに相当)でON/OFFするクロック入力端子CLを備えていて、モード入力UPやDNに応じてクロック入力を可逆カウントするように構成されている。53aは図2aの判定点数Nに相当する設定値が格納された設定値レジスタ、53bは可逆カウンタ52の現在値が格納された現在値レジスタ、54aは可逆カウンタ52の現在値が設定値に到達した時に論理「1」となる出力Qによって上記ゲート素子50aを閉鎖して、更なるカウントアップが行われないようにする論理反転素子、54bは可逆カウンタ52の現在値が0になった時に論理「1」となる出力Pによって上記ゲート素子50bを閉鎖して、更なるカウントダウンが行われないようにする論理反転素子、55は上記可逆カウンタ52の設定値到達出力Qによってセットされ、現在値0出力Pによってリセットされるフリップフロップ素子であり、該フリップフロップ素子の出力がデータセレクタ124bの入力端子に接続されている。

【0042】このように構成された可逆カウンタ52では、サンプリング周期Tで動作するクロック入力CLの入力パルス数が設定値レジスタ53の設定値Nに到達するまで継続的に比較器19の出力が「H」であればフリップフロップ55がセットされるが、途中で比較器19の出力が「L」になればクロック入力を減算カウントし再び比較器19の出力が「H」になった後に加算カウントが行われて、やがて現在値が設定値に到達すればフリップフロップ55がセットされる。同様に、一旦フリップフロップ55がセットされると、サンプリング周期Tで動作するクロック入力CLの入力パルスによって現在値がNから0に減少するまで継続的に比較器19の出力が「L」であればフリップフロップ55がリセットされるが、途中で比較器19の出力が「H」になればクロック入力を加算カウントし、再び比較器19の出力が「L」になった後に減算カウントが行われやがて現在値が0すればフリップフロップ55

10

20

30

40

50

がリセットされる。

【0043】図5は図3におけるスイッチトキャバシタ136の説明用等価回路とその周辺回路を示したものである。図5において135はアナログ入力信号Anに対するノイズフィルタであり、該ノイズフィルタは正側クリップダイオード28、負側クリップダイオード29、直列抵抗21、並列コンデンサ22によって構成されている。クリップダイオード28、29はアナログ入力信号Anに過大なノイズが重畠された時に、このノイズ電圧を電源の正負回路に環流させて、想定されるアナログ信号の最大・最小値を超える電圧をコンデンサ22に印加しないようにするためのものである。また、アナログセンサが相応の内部抵抗を持っている場合には直列抵抗21は省略することができる。

【0044】スイッチトキャバシタ136を構成するコンデンサC0は切換スイッチ137によって周期的に信号側①または出力側②に切換えられ、その切換周期Tは周期設定手段137aによって設定された値となっている。信号側①には上記コンデンサ22の両端電圧V1が増幅器AMP1を介して印加され、出力側②には出力コンデンサCが接続され、該コンデンサの両端電圧V2は増幅器AMP2とマルチプレクサ139を介してA/D変換器138に供給されるようになっている。

【0045】このように構成されたスイッチトキャバシタ136において、コンデンサC0に対する充放電抵抗が充分小さい時には以下の関係式が成立する。

$$\text{①側でのコンデンサC0の蓄積電荷 } Q_1 = C_0 \cdot V_1$$

$$\text{②側でのコンデンサC0の蓄積電荷 } Q_2 = C_0 \cdot V_2$$

$$T\text{秒間での移動電荷 } Q = Q_1 - Q_2 = C_0 \cdot (V_1 - V_2)$$

$$T\text{秒間での平均電流 } I = Q/T = C_0 \cdot (V_1 - V_2) / T$$

$$\text{等価抵抗 } R_0 = (V_1 - V_2) / I = T / C_0$$

従って、上記のようなスイッチトキャバシタ136は、直列抵抗R0と出力コンデンサCによるフィルタと等価であり、抵抗R0は切換周期Tに比例して大きな値となるものであるが、切換周期Tは図2aの工程204で設定されるシフト周期Tに相当しており、この事例では工程205で設定される判定点数Nの設定は不要となっている。

【0046】以上の説明で明らかにおり、図1の実施の形態ではサブCPU121aによるソフトウェアに全面依存したデジタルフィルタとなっているのに対し、図3の実施の形態ではサブCPU121bによって目標とするフィルタ定数の設定がなされ、これに対応したハードウェアによってデジタルフィルタが構成されている。ソフトウェア依存のデジタルフィルタは応答性が悪くなる反面で、周辺回路部品が少なくなるメリットがある。ハードウェア依存のデジタルフィルタはその逆であり、実態としてはON/OFF入力信号はソフトウェア依存型、アナログ入力信号はハードウェア依存型(マルチプレクサを併用してA/D変換器は削減)で構成するのが一つの理想形態である。但し、アナログ入力信号は図2で示し

た移動平均フィルタ方式とし、マルチブレクサを廃止して各入力毎にA/D変換器を設けることも可能であり、様々な実施形態の組合わせが可能である。

【0047】実施の形態3. 図1や図3の実施の形態において、高速入力IN1~INnがデータセレクタ114を通じてメインCPU111側に取込まれていると共に、データセレクタ124aを通じてサブCPU121aや121b側にも取込まれている。ここで、高速入力の説明として、例えば、クランク角センサの情報を基に制御している項目及びその分解能のを挙げると、点火制御で分解能は4μ秒、エンジンの回転変動検出で分解能は1μ秒、以上よりSGTの検出タイマーの分解能は0.25μ秒となっている。従って、直接メインCPUに入出力される高速処理用の入出力インターフェース回路は、これら分解能を満足する性能を備えていることが望ましい。このような構成とすることによる効果的な活用方法の一例は以下のとおりである。例えば高速入力の一つであるエンジンのクランク角センサはエンジンの点火時期や燃料噴射時期を決定するものとして遅滞なくメインCPU111に取込まれる必要があり、サブCPU121aや121bからシリアル信号として受取ることは困難である。しかし、クランク角センサのパルスを所定時間毎に積分してエンジンの平均的な回転速度を演算することはサブCPU121a、121b側でも可能であり、これによって異常なエンジン回転速度になっていないかどうかをサブCPU側でも判定して安全の冗長度を高めることができる。

【0048】また、各種入力信号がセンサ回路の断線や短絡によって適正に入力されないような状態になっているかどうか等は、サブCPU121a、121b側で判定することによりメインCPU111の負担を軽減することができる。このようにして、サブCPU121a、121b側で入力監視制御を行って、若しも異常があれば図1や図3のラッチメモリ129bを介してメインCPU111の割込端子に対して異常出力を供給することができる。なお、サブCPU121a、121bを経由してメインCPU111に供給される低速入力についても、その適正動作をサブCPU121a、121b側で監視し、異常があればラッチメモリ129bを介してメインCPU111へ異常出力を供給するものである。同様に低速動作のアナログ信号についても、例えば水温の異常な急上昇がないかどうかをサブCPU121a、121b側で判定することができ、各種の監視異常結果はコード番号化して直並列変換器126、116を介してメインCPU111へ内容報告することができる。

【0049】実施の形態4. 図1や図3において、サブCPU121a、121b側のラッチメモリ129aを介してメインCPU111の制御端子に書き込み制御出力を供給することを述べたが、この制御出力の生成方法の一例は次のとおりである。例えば、セレクタスイッチがニュートラルにされ、アクセルペダルとブレーキペダルをあたかもモールス符号のトン・ツーに見立てて暗号入力操作を行う。

サブCPU121a、121bは第二の不揮発メモリ122a、122bに格納されている暗号操作手順と一致した入力操作が行われるとラッチメモリ129aに対して書き込み制御出力を供給する。

【0050】図6はメインCPU111側のプログラムの書き込みに関する説明用動作フローを示したものである。なお、上で総称したプログラムの内分けと所在は次のとおりである。

・第一の不揮発メモリ112（書き込み済みの場合）

10 A1：ツールとメインCPU111間のデータ転送処理用通信プログラム

B1：被制御車両に対する制御プログラム

C1：上記制御プログラムの実行中に参照される制御定数

入力フィルタ定数も制御定数の中の一部である。

・外部ツール106

同上であるが、第一の不揮発メモリ112の内容を変更したい場合を想定すると次のとおりである。

A2：書換えたい通信プログラム

B2：書換えたい制御プログラム

C2：書換えたい制御定数

・メインCPU111内のマスクROM

D：プログラムローダ起動用ブートプログラム

これは外部ツール106から第一のRAMメモリ113の所定領域②に対して通信プログラムA2のみを転送するための機能限定された通信プログラムである。

【0051】図6において、400は動作開始工程であるが、外部ツール106からメインCPU111に対するプログラムの書き込みを行うに当たっては、エンジンを止めて外部ツール106を脱着コネクタ107に接続してから電源スイッチを投入し、外部ツール106のパネル面に設けられたペレーショントキーを操作して転送要求を行う。この場合の通信プログラムは上記第一の不揮発メモリ112に格納された通信プログラムA1に依存している。工程401は外部ツール106からメインCPU111への転送要求を定期的に割込み監視する工程であり、ここで転送要求を受信すると、判定工程402を経て工程403が動作する。工程403では第一の不揮発メモリ112から通信プログラムA1が第一のRAMメモリ113内の所定領域①に格納され、統いて第一の不揮発メモリ112の内容は全て消去される。続く工程404ではメインCPU111から外部ツール106への転送許可信号が送信されるが、この場合の通信プログラムは第一のRAMメモリ112の所定領域①に待避された通信プログラムA1である。

【0052】これに続く工程405では外部ツール106からメインCPU111を介して第一のRAMメモリ112の所定領域②に対して新しい通信プログラムA2が書き込まれ、以後の外部ツールとの通信はこの新しい通信プログラムA2によって行われる。（但し、通信プログラムの変更を目的としていない時には新旧の通信プログラムは同一

内容となる。)

これに続く工程406では外部ツール106からメインC P U 111を介して第一のRAMメモリ112の所定領域③に対して全てのプログラムA2、B2、C2が書き込まれ、続いてこれが第一の不揮発メモリ112に一括書き込まれる。これに続く工程407では受信した全プログラムのサムチェック操作を行い、その結果を外部ツール106へ報告する。これに続く終了工程408から再び開始工程400へ移行するが、上記の一連の動作は第一の不揮発メモリ112が通信プログラムA1を持っている場合の動作であって、初回の動作または工程403で通信プログラムA1が第一のRAMメモリ113に格納されて第一の不揮発メモリ112の内容が全消去された後に、誤ってバッテリ電源端子が開放されたり、電源電圧の異常低下等があると、通信プログラムA1は消失することになる。

【0053】工程409はメインC P U 111が通信プログラムA1を持たない場合に機能するものであり、前述のラッチメモリ129a(図1、図3参照)から暗号操作に基づく書き込み制御出力がメインC P U 111のモード制御端子に供給されると判定工程410を経て工程411に移行する。工程411ではブートプログラムDによってメインC P U 11内のプログラムローダが起動され、続く工程412によって外部ツール106からメインC P U 111を介して通信プログラムA2が転送され、これが第一のRAMメモリ113の所定領域②に書き込まれる。これに続く工程406以降の動作は既に説明したとおりである。

【0054】以上はメインC P U 111と外部ツール106間のプログラム転送に関する説明であるが、メインC P U 111側からサブC P U 121aまたは121b側の第二のRAMメモリ123aまたは123bに制御定数としてのフィルタ定数を転送する動作は以下のとおりである。判定工程402や410で外部ツール106からのプログラム転送要求やモード制御端子からの書き込み要求が無いと判定されると工程413に移行する。工程413では第一の不揮発メモリ112から第一のRAMメモリ113内の所定領域④に対して制御定数C1の一部(フィルタ定数)が転送される。これに続く工程414では車両の運転状態に応じた一部の制御定数の適正值の算出・学習制御等が行われ、その結果によって工程415では上記第一のRAMメモリ113の所定領域④の内容を補正する。これに続く工程417ではサブC P U 121aまたは121bに転送すべきフィルタ定数データのサムチェックが行われ、エラーがあれば再度工程413~416が実行される。

【0055】工程417でエラーがなければ工程418へ移行し、第一のRAMメモリ113の所定領域④に格納されているフィルタ定数が直並列変換器116、126を介してサブC P U 121a又は121b側の第二のRAMメモリ123a又は123bへ転送される。△多数の入力信号に対するフィルタ定数は一度サブC P U側に転送されるとバッテリでバックアップされているので通常は再度一括変更することはな

く、ごく一部の入力について運転中に変更したり、或いはエンジンの回転速度領域などに応じて一括変更するための倍率だけが送信されるようになっている。

【0056】実施の形態5. 以上の各実施の形態においては、サブC P U 121aや121bの制御プログラムはマスクROM(読出専用メモリ)である第二の不揮発メモリ122aや122bに格納され、フィルタ定数はメインC P U 111の不揮発メモリ112からサブC P U側の第二のRAMメモリ123a、123bに転送されるものとして説明した。この

10 ような方式ではフィルタ定数を運転中にメインC P U側から適宜補正して使用することができるメリットがあるが、バッテリ電圧の異常低下や電源端子の開放などがあった場合のことを想定すると常にRAMメモリの内容をチェックしておくことが必要であるが、サムチェックエラー等があれば再度第一の不揮発メモリ112から原始情報を取り出すことが可能である。

【0057】その他、フィルタ定数以外の制御データとして、次のような情報をメインC P U 111の不揮発メモリ112からサブC P U側の第二のRAMメモリ123a、123bに転送し、サブC P U 121a、121bはこれを参照しながらプログラムを実行することもできる。

- ・レベル判定用比較器132の判定値の一部は車種に応じて変更できるようなハードウエア構成とし、このレベル判定値を転送する。

- ・第二の不揮発メモリ122a、122bに格納されている一部のプログラムを車種に応じて有効にしたり無効にするような選択切換情報。

- ・メインC P U 111の暴走判定情報を転送する。

【0058】一方、サブC P U 121a、121b側の第二の不揮発メモリ122a、122bを外部ツール106から書き込み可能なフラッシュメモリとし、ここに入出力処理用の制御プログラムやフィルタ定数等の書き込みを行うようにすることも可能であって、この場合にはバッテリ電圧の異常低下や電源端子の開放などに対してフィルタ定数が消失することがなく、フィルタ定数を直並列変換器116や126を介して送信する必要が無い。

【0059】

【発明の効果】以上のように、請求項1記載の発明によれば、外部ツールから送信される被制御車種対応の制御プログラム及び制御定数が少なくとも書き込まれる第一の不揮発メモリと演算処理用の第一のRAMメモリとからなるメインC P U、入出力処理用プログラムが書き込まれた第二の不揮発メモリと演算処理用の第二のRAMメモリとからなるサブC P U、このサブC P Uに入力される複数の入力信号をメインC P Uに送信するシリアル通信用直並列変換器、複数の入力信号に対するフィルタ定数は第一及び第二の不揮発メモリの少なくとも一つに格納されており、フィルタ定数に基づいてサブC P Uのデジタルフィルタ手段で所定の演算をさせメインC P Uに送信させるので、メインC P Uの入出力ピン数が大幅に削

減されて小型安価となると共に、入力フィルタ用に様々な容量の大容量コンデンサを使う必要がないので入力インターフェース回路部分の小型化・標準化が図れる効果がある。特に、デジタルフィルタの制御はサブCPU側で行われるので、メインCPUの負担を高めることなく、メインCPUとサブCPUの機能分担により小型化・標準化が達成できるものである。その結果、出入力インターフェース回路部分を含めたサブCPU回りの集積回路化も可能となり、この場合には従来の電子制御装置に比べて装置全体を格段に小型化することができる顕著な効果を奏するものである。

【0060】また、請求項2記載の発明によれば、シリアル通信用直並列変換器は、メインCPUによって演算された複数の制御出力信号をサブCPUに送信し、複数の制御出力信号をサブCPUのデータバスに接続された出力インターフェース回路を介して外部負荷に供給するので、小型化・標準化が達成できる効果がある。また、監視性能の向上が図れる効果がある。

【0061】また、請求項3記載の発明によれば、サブCPUに入力される複数の入力信号は、少なくとも正負のクリップダイオードと小容量コンデンサを包含したノイズフィルタを介して入力されたアナログ信号であって、このアナログ信号は、切換スイッチによって周期的に充放電されるスイッチトキャパシタと充放電周期の設定手段を備えたデジタルフィルタ及びA/D変換器を介してデジタル変換され、デジタルフィルタ手段は、このデジタル変換値を用いて所定の演算を行いメインCPUに送信させるので、アナログ信号に対する入力インターフェース回路であるクリップダイオードとノイズフィルタによって高振幅ノイズ・高周波ノイズが除去され、多数のデジタルフィルタ処理に対するサブCPUの負担が軽減されると共に、被制御車種に対応してフィルタ定数を設定することが可能となり、自由度の高い標準化が達成できるものである。

【0062】また、請求項4記載の発明によれば、サブCPUに入力される複数の入力信号は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサによるノイズフィルタ、及びヒステリシス機能を持ったレベル判定用比較器を介して入力されたON/OFF信号であって、デジタルフィルタ手段は、レベル判定用比較器からの出力を、所定の周期でサンプリングし、その連続する複数のサンプリング結果のうち正が50%以上である時にON判定され、連続する複数のサンプリング結果のうち正が50%未満である時にOFF判定される入力確定手段によって構成され、入力確定手段の出力がメインCPUに送信されるので、ON/OFF信号に対する入力インターフェース回路であるノイズフィルタとレベル判定用比較器によって高周波ノイズが除去され、多数のデジタルフィルタ処理に対するサブCPUの負担が軽減されると共に、フィルタ

用コンデンサの小型化ができるものである。

【0063】また、請求項5記載の発明によれば、デジタルフィルタ手段は、サンプリングの周期またはレベル判定用比較器の論理判定点数の少なくとも一方を設定する設定手段を備えたので、被制御車種に対応してフィルタ定数を設定することが可能となり、自由度の高い標準化が達成できるものである。

【0064】また、請求項6記載の発明によれば、入力確定手段がONを出力する判定値は、複数のレベル判定結果のうち正が占める割合が50%から100%の間で可変だったので、被制御車種に対応してフィルタ定数を設定することが可能となり、自由度の高い標準化が達成できるものである。

【0065】また、請求項7記載の発明によれば、フィルタ定数は、被制御車種対応のフィルタ定数であると共にメインCPUに対する第一の不揮発メモリに書込まれているものであって、フィルタ定数はシリアル通信用直並列変換器を介してサブCPUに対する第二のRAMメモリに転送されサブCPUのデジタルフィルタに用いられる設定定数として変換され、この設定定数はサブCPUでサムチェックが行われ、チェックサムエラーが発生した時にはフィルタ定数を再度上記メインCPUからサブCPUへ転送処理を行う再送判定手段を備えたので、サブCPU側の不揮発メモリには入出力処理用の固定的な制御プログラムであっても良く、被制御車種対応の制御プログラムや制御定数はメインCPU側の第一の不揮発メモリに対して一元的に格納されているので、外部ツールとサブCPU間の交信が不要となってシステム構成が単純化できる効果がある。

【0066】また、請求項8記載の発明によれば、フィルタ定数は、被制御車種対応のフィルタ定数であると共にメインCPUに対する第一の不揮発メモリに書込まれているものであって、フィルタ定数を第一のRAMメモリに転送する転送手段と、第一のRAMメモリに格納されたフィルタ定数を含む制御定数を補正する制御定数補正手段と、補正された制御定数をシリアル通信用直並列変換器を介してサブCPUに対する第二のRAMメモリに転送する制御定数転送手段とを備え、制御定数が、サブCPUによるデジタルフィルタ手段の設定定数として用いられるので、メインCPUが被制御車両の運転動作中であっても、一部のフィルタ定数の変更や倍率指定による一括変更等がメインCPUによって可能となり、フィルタ定数の最適化制御が行えるものである。

【0067】また、請求項9記載の発明によれば、メインCPUのデータバスには、サブCPUを介さず直接メインCPUに入出力される高速処理用の入出力インターフェース回路が接続され、入出力インターフェース回路を介してサブCPUに入力された信号はサブCPUによって監視され、監視結果をメインCPUに送信するので、メインCPUとサブCPU間で適正な機能分担が行えると

共に、サブCPU側で各種の入力監視制御を強化して、安全性の高い車載電子制御装置を提供することができるものである。

【0068】また、請求項10記載の発明によれば、外部ツールを接続する脱着式コネクタ、外部ツールとメインCPU間を接続するシリアルコミュニケーションインターフェース、サブCPUに供給された多数の入力信号の一部の動作に応じて第二の不揮発メモリに格納されたプログラムに基づいてサブCPUから書き込み制御出力を発生する書き込みモード判定手段を備え、この書き込み制御信号が上記メインCPUの書き込み制御端子に供給されることにより外部ツールから第一の不揮発メモリに対して制御プログラム及び制御定数を転送書き込みするように構成されているので、単純な隠しスイッチ等で書き込み制御入力を与えるようなものに比べて、悪戯操作や誤操作が防止できると共に、余分な隠しスイッチなどを設けなくとも既存の入力スイッチの暗号操作によって書き込み制御指令を発生することができるものである。

#### 【図面の簡単な説明】

【図1】この発明の実施の形態1による車載電子制御装置を示すブロック回路図である。

【図2】この発明の実施の形態1による車載電子制御装置の動作を示すフローチャートである。

【図3】この発明の実施の形態2による車載電子制御装置を示すブロック回路図である。

【図4】この発明の実施の形態2による車載電子制御装置を示すブロック回路図である。

【図5】この発明の実施の形態2による車載電子制御装置を示すブロック回路図である。

【図6】この発明の実施の形態4による車載電子制御装置の動作を示すフローチャートである。

【図7】従来の車載電子制御装置を示すブロック回路

図である。

#### 【符号の説明】

15a 直列抵抗、134 出力トランジスタ（出力インターフェース回路）、16a コンデンサ、135 ノイズフィルタ（入力インターフェース回路）、17 入力抵抗、136

スイッチトキャバシタ（デジタルフィルタ手段）、18 帰還抵抗、137 切換スイッチ（デジタルフィルタ手段）、19 比較器、137a 周期設定手段、22 コンデンサ、138 A/D変換器、28 クリップダイオード（正側）、138a A/D変換器、29 クリップダイオード（負側）、138b A/D変換器、106 外部ツール、139 マルチプレクサ、107 脱着コネクタ、204 設定手段（周期）、100a ECU（車載電子制御装置）、205 設定手段（判定点数）、100b ECU（車載電子制御装置）、211

再送判定手段、110 第一LSI（第一の集積回路）、223

入力確定手段、111 メインCPU、226 入力確定手段、112 第一の不揮発メモリ、231 デジタルフィルタ手段、113 第一のRAMメモリ、247 デジタルフィルタ手段、116 直並列変換器、409 書込制御信号、117

SCI（シリアル・コミュニケーション・インターフェース）、413 制御定数転送手段、118 データバス、41

5 制御定数補正手段、120a 第二LSI（第二の集積回路）、120b 第二LSI（第二の集積回路）、121a サブ

CPU、121b サブCPU、122a 第二の不揮発メモリ、122b 第二の不揮発メモリ、123a 第二のRAM

メモリ、123b 第二のRAMメモリ、126 直並列変換

器、128 データバス、129a ラッチメモリ（書き込み制御出力）、129b ラッチメモリ（監視制御出力）、130

ブリーダ抵抗（入力インターフェース回路）、131 ノイズフィルタ（入力インターフェース回路）、132 レベル判定用比較器（入力インターフェース回路）、133 カウンタ（デジタルフィルタ手段）

10

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

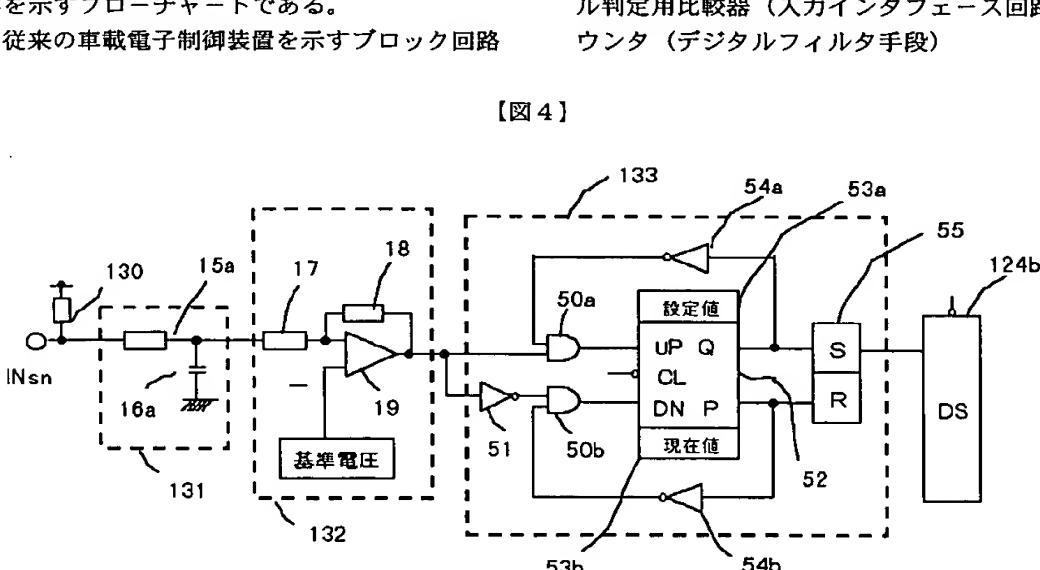
180

181

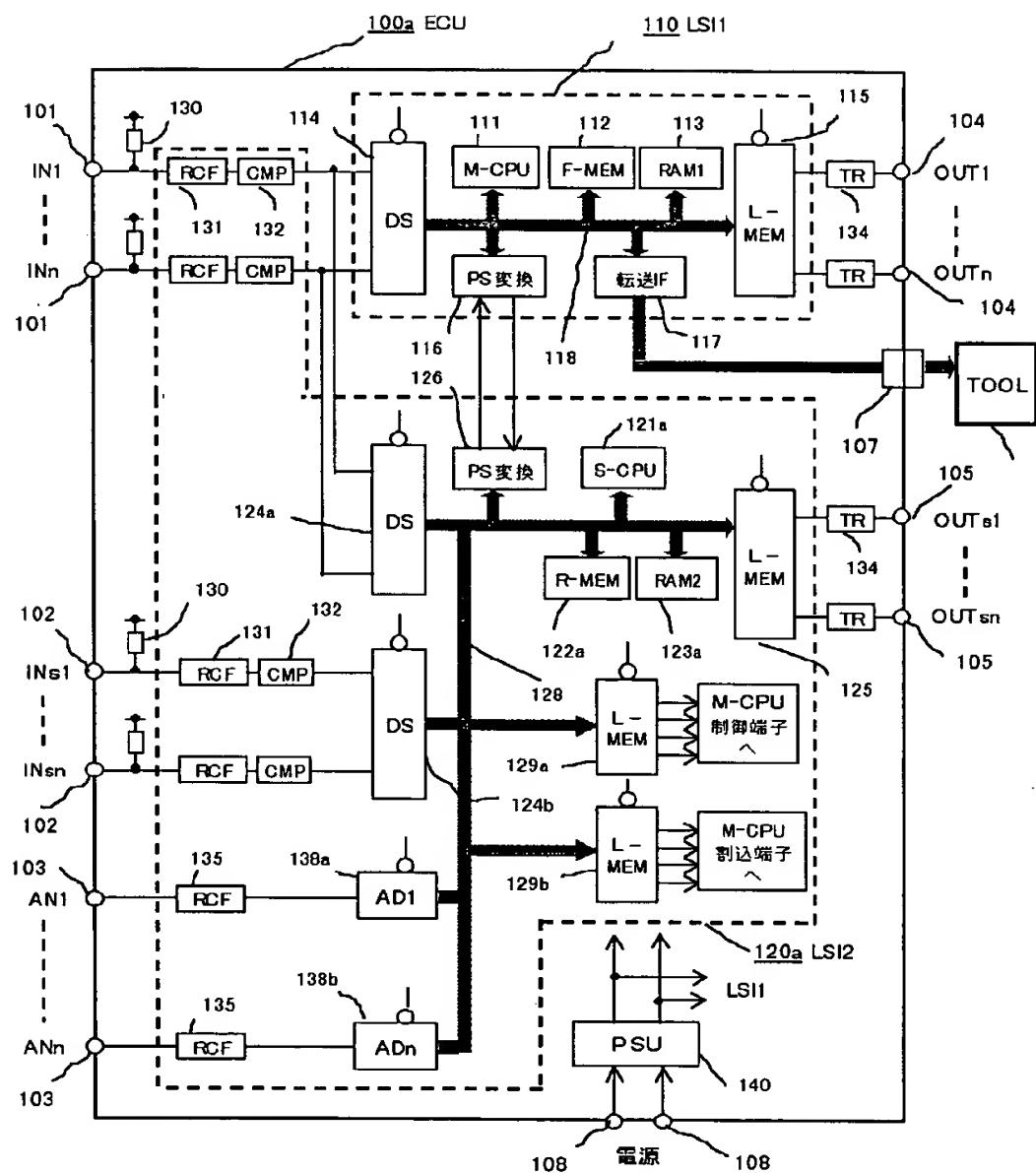
182

183

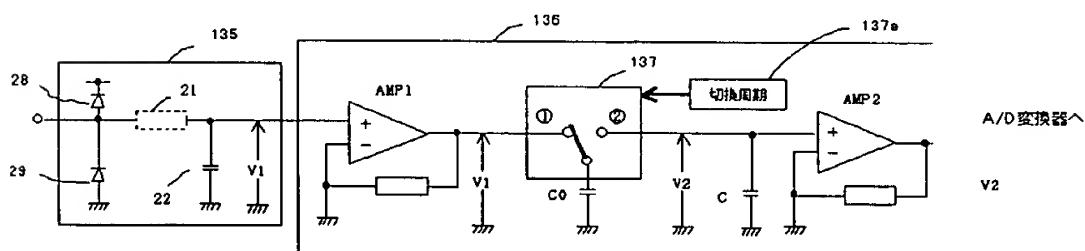
【図4】



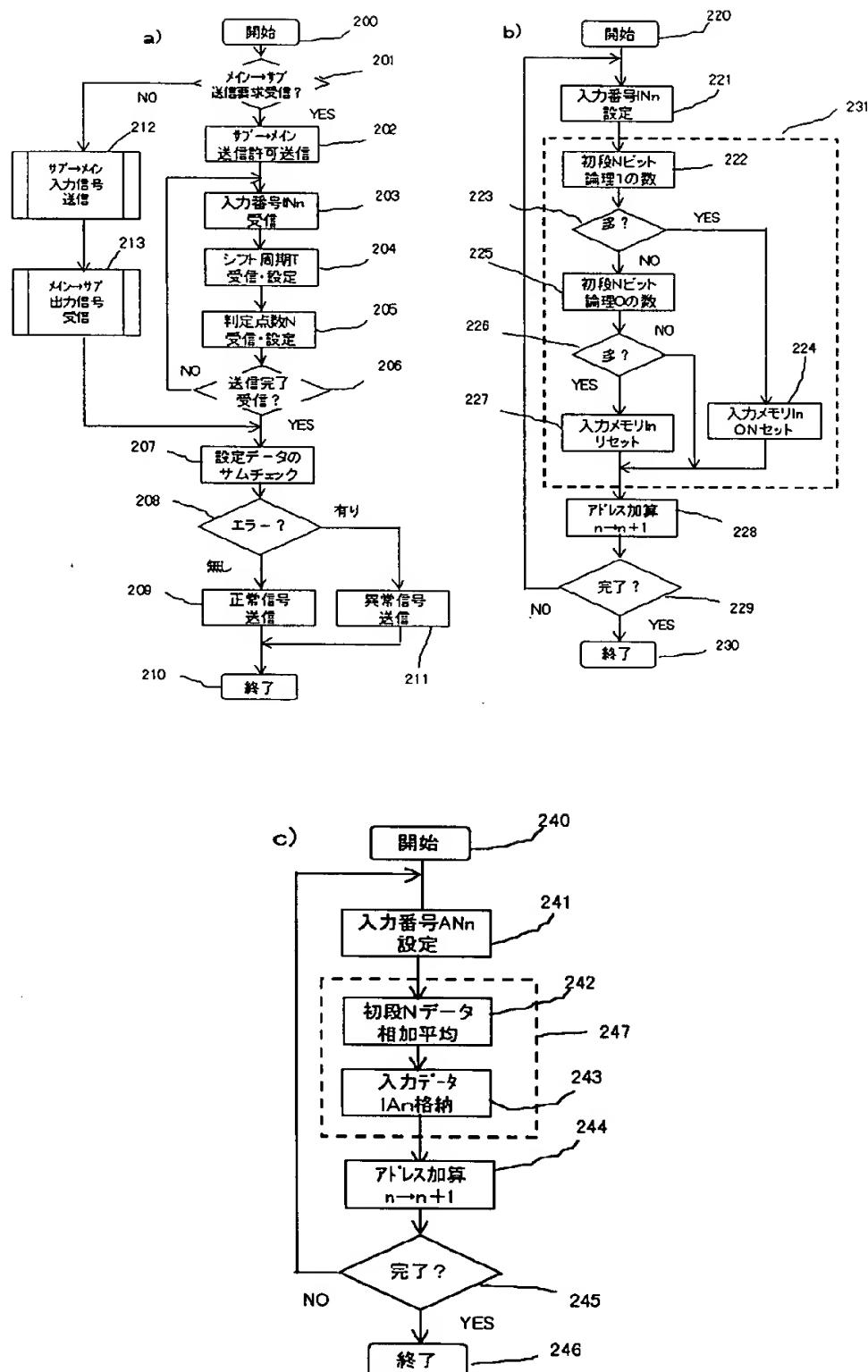
【図1】



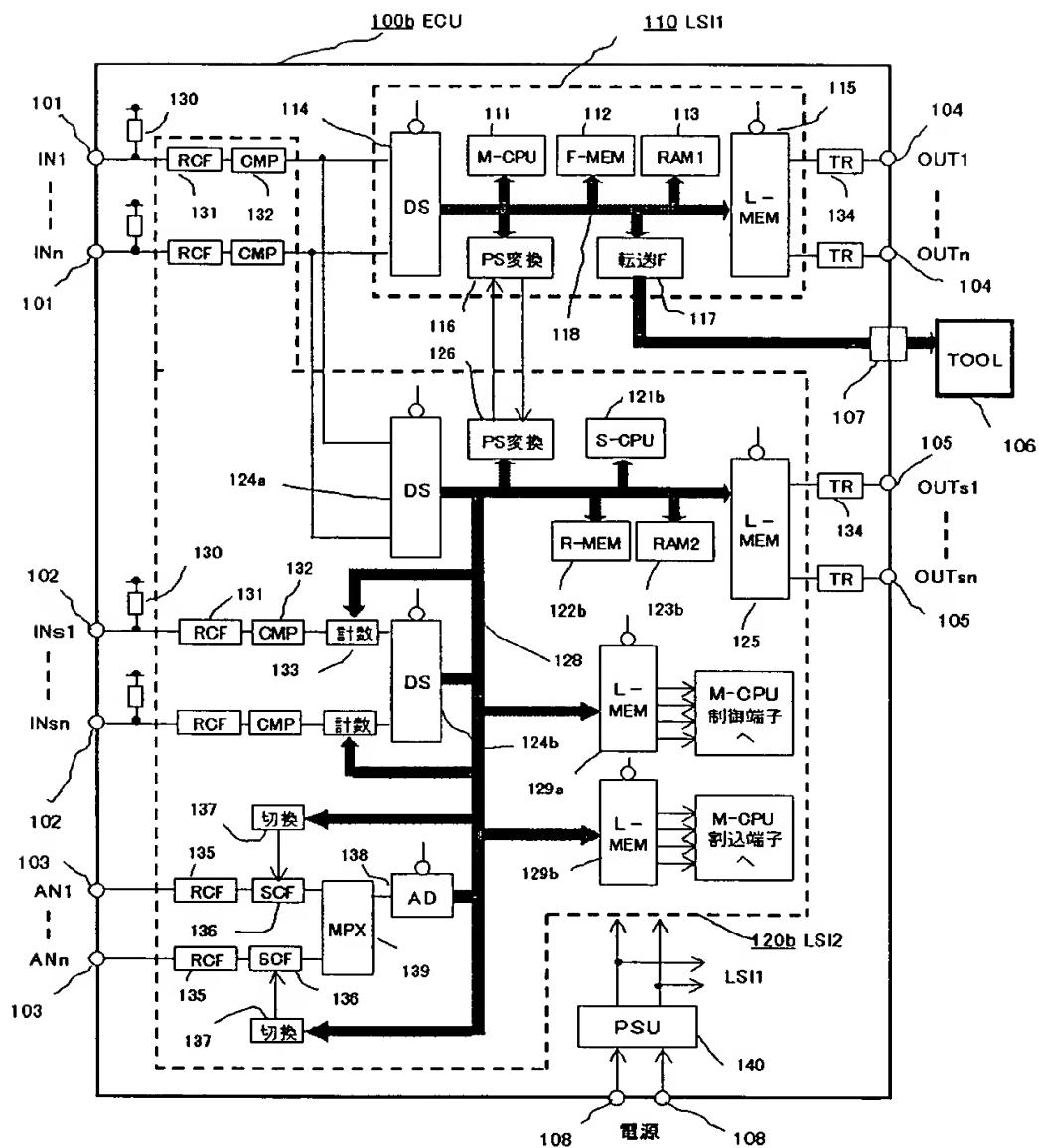
【図5】



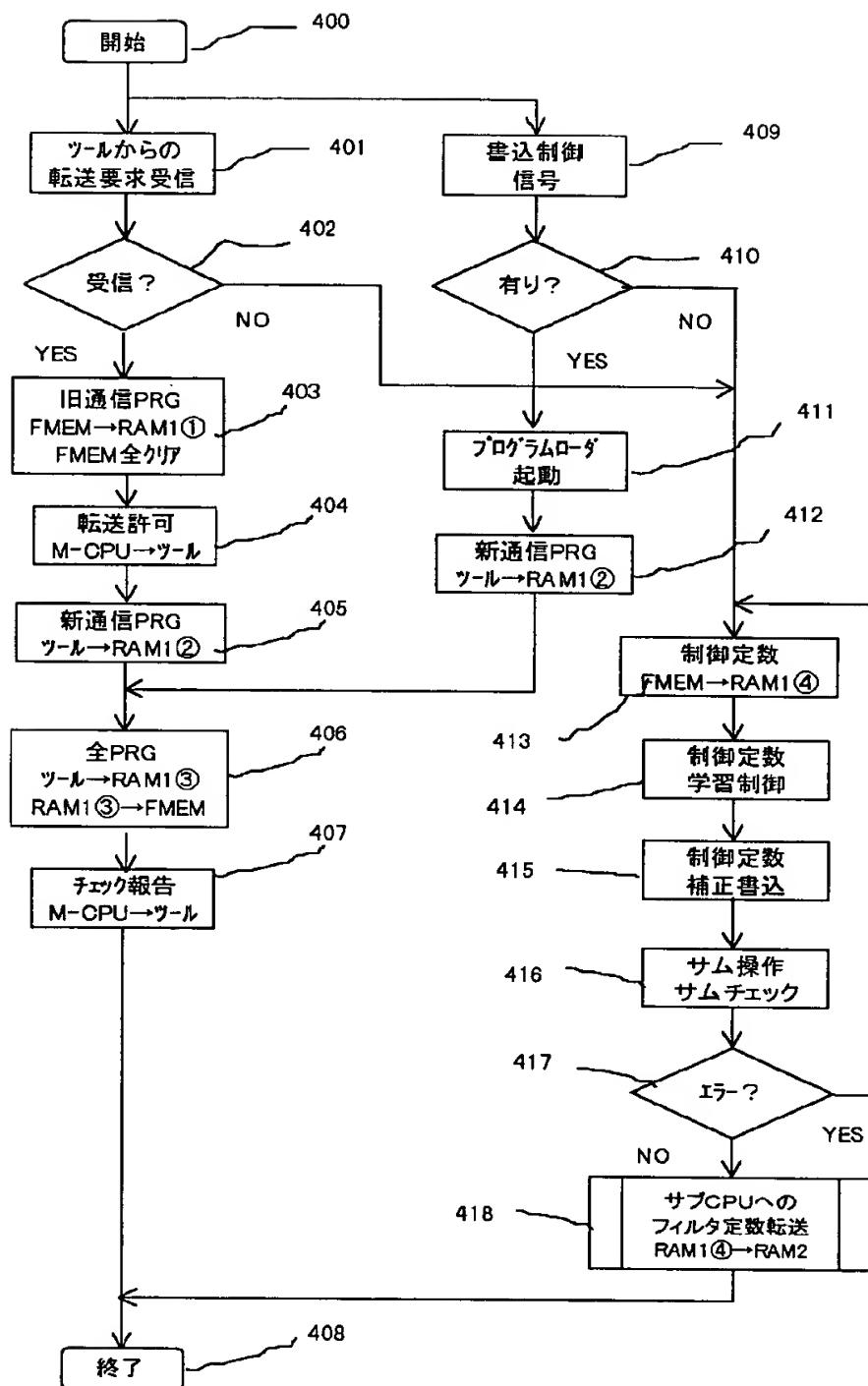
【図2】



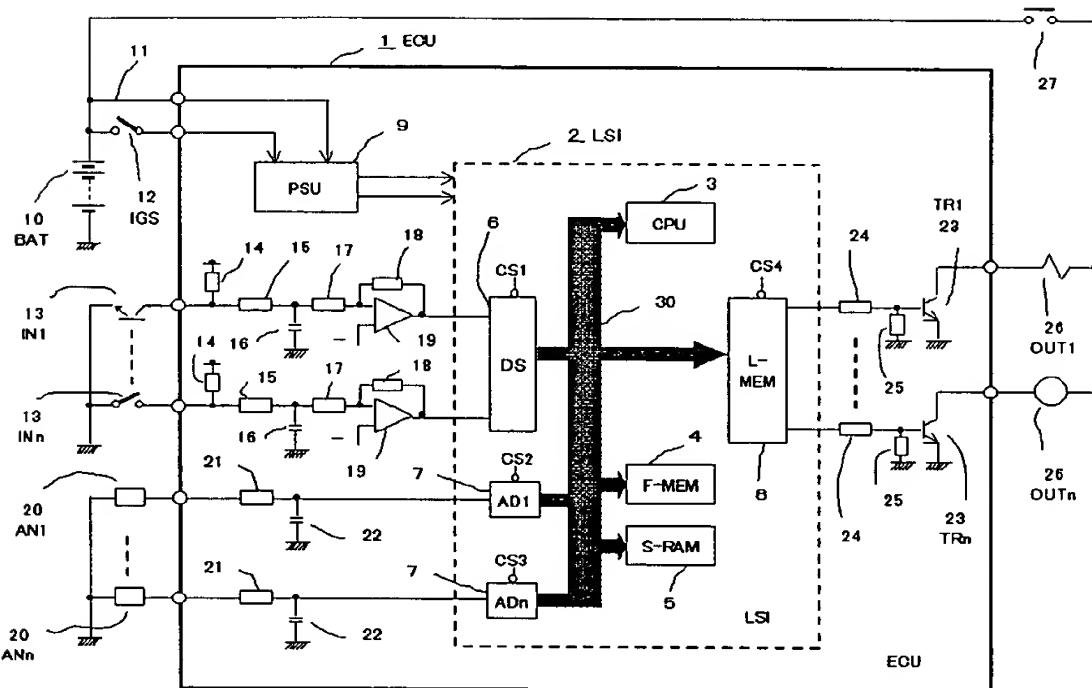
【図3】



【図 6】



【図 7】



フロントページの続き

(51) Int.CI.<sup>1</sup>  
G 05 B 15/02

識別記号

F I  
G 05 B 15/02テーマコード(参考)  
M

(72) 発明者 橋本 光司  
東京都千代田区大手町二丁目6番2号 三  
菱電機エンジニアリング株式会社内  
(72) 発明者 後閑 博  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

F ターム(参考) 3G084 BA13 BA15 BA17 BA36 DA00  
DA13 DA27 EA01 EA03 EB02  
EB06 FA05 FA10 FA20 FA25  
FA29 FA38  
5H215 AA10 BB03 BB05 CC01 CC05  
CC09 CX01 CX04 EE02 EE04  
GG02 KK04